

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

10214577

Basic Patent (No,Kind,Date): EP 459836 A2 19911204 <No. of Patents: 010>

METHOD FOR FABRICATING THIN-FILM TRANSISTORS (English; French; German)

Patent Assignee: SEMICONDUCTOR ENERGY LAB (JP)

Author (Inventor): ZHANG HONGYONG (JP)

Designated States : (National) DE; FR; GB

IPC: \*H01L-021/84; H01L-021/268; H01L-021/203

CA Abstract No: 116(12)119034T

Derwent WPI Acc No: C 91-356068

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
DE 69127656	C0	19971023	DE 69127656	A	19910603
DE 69127656	T2	19980430	DE 69127656	A	19910603
EP 459836	A2	19911204	EP 91305013	A	19910603 (BASIC)
EP 459836	A3	19930224	EP 91305013	A	19910603
EP 459836	B1	19970917	EP 91305013	A	19910603
JP 4037144	A2	19920207	JP 90145069	A	19900601
JP 2700277	B2	19980119	JP 90145069	A	19900601
KR 9507355	B1	19950710	KR 919163	A	19910601
US 20030017656	AA	20030123	US 78354	A	20020221
US 6458200	BA	20021001	US 89650	A	19930712

Priority Data (No,Kind,Date):

JP 90145069 A 19900601

US 78354 A 20020221

US 89650 A3 19930712

US 707092 B1 19910529

US 89650 A 19930712

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

03672044      \*\*Image available\*\*

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.:      04-037144 [JP 4037144 A]

PUBLISHED:      February 07, 1992 (19920207)

INVENTOR(s):      CHIYOU KOUYUU

APPLICANT(s):      SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:      02-145069 [JP 90145069]

FILED:      June 01, 1990 (19900601)

INTL CLASS:      [5] H01L-021/336; H01L-029/784

JAPIO CLASS:      42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R002 (LASERS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL:      Section: E, Section No. 1205, Vol. 16, No. 221, Pg. 21, May 22, 1992 (19920522)

#### ABSTRACT

**PURPOSE:** To manufacture a thin film transistor with a low temperature process by providing a process which irradiates with excimer laser rays in order to crystallize a channel part and a process which improves electric characteristics by irradiating source and drain regions with the excimer laser rays through a separate process.

**CONSTITUTION:** In the manufacture of a thin film transistor on a substrate 1 having an insulating surface, the transistor is manufactured by a process that crystallizes a semiconductor layer 3 in a channel part with the irradiation of excimer laser rays and a process that is different from the irradiation of the excimer laser rays mentioned above and improves electric characteristics by irradiating source and drain regions 4 with the excimer laser rays. For example, after an I-type non-single crystal silicon semiconductor film 3 is formed through a base protecting film 2 on a glass substrate 1 and prescribed etching treatment is performed, laser annealing treatment is performed by using excimer lasers in order to obtain a polycrystalline active layer 3. An N-type non-single crystal silicon film 4 is formed on the active layer and patterning is performed by leaving the source and drain regions 4. After that, the crystal silicon film is activated by irradiating the film with the excimer laser rays.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-37144

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

④ 公開 平成4年(1992)2月7日

H 01 L 21/336  
29/784

9056-4M H 01 L 29/78

3 1 1 Y

審査請求 未請求 請求項の数 1 (全6頁)

⑬ 発明の名称 薄膜トランジスタの作製方法

⑭ 特 願 平2-145069

⑮ 出 願 平2(1990)6月1日

⑯ 発 明 者 張 宏 勇 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑰ 出 願 人 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地

#### 明 細 書

##### 1. 発明の名称

薄膜トランジスタの作製方法

##### 2. 特許請求の範囲

1. 絶縁表面を有する基板上に薄膜トランジスタを作製する方法であって、エキシマレーザ光を照射によりチャネル部分の半導体層を結晶化させる工程と前記エキシマレーザ光照射とは別の工程であって、エキシマレーザ光をソース、ドレイン領域に照射し、電気的特性を改善する工程とを有することを特徴とする薄膜トランジスタ作製方法。

##### 3. 発明の詳細な説明

###### 「産業上の利用分野」

本発明は非単結晶半導体薄膜を用いた薄膜トランジスタ(以下にTFTともいう)の製造方法に関するものであり、特に液晶ディスプレイ、イメージセンサー等に適用可能な高信頼性を持つ薄膜トランジスタに関する。

###### 「従来の技術」

最近、化学的気相法等によって、作製された非単結晶半導体薄膜を利用した薄膜トランジスタが注目されている。

この薄膜トランジスタは、絶縁性基板上に前述の如く化学的気相法等を用いて形成されるので、その作製雰囲気温度が最高で500℃程度と低温で形成でき、安価なソーダガラス、ホウケイ酸ガラス等を基板として用いることができる。

この薄膜トランジスタは電界効果型であり、いわゆるMOSFETと同様の機能を有しているが、前述の如く安価な絶縁性基板上に低温で形成でき、さらにその作製する最大面積は薄膜半導体を形成する装置の寸法にのみ限定されるもので、容易に大面積基板上にトランジスタを作製できるという利点を持っていた。このため多量の画素を持つマトリクス構造の液晶ディスプレイのスイッチング素子や一次元又は二次元のイメージセンサ等のスイッチング素子として極めて有望である。

また、この薄膜トランジスタを作製するにはすでに確立された技術であるフォトリソグラフィ-

が応用可能で、いわゆる微細加工が可能であり、IC等と同様に集積化を図ることも可能であった。

この従来より知られたTFTの代表的な構造を第2図に概略的に示す。

(20)はガラスよりなる絶縁性基板であり、(21)は非単結晶半導体よりなる薄膜半導体、(22)、(23)はソース、ドレイン領域で、(24)、(25)はソース、ドレイン電極、(26)はゲート絶縁膜で(27)はゲート電極であります。

このように構成された薄膜トランジスタはゲート電極(27)に電圧を加えることにより、ソース、ドレイン(22)、(23)間に流れる電流を調整するものであります。

この時、この薄膜トランジスタの応答速度は次式で与えられる。

$$S = \mu \cdot V / L^2$$

ここでLはチャネル長、 $\mu$ はキャリアの移動度、Vはゲート電圧。

この薄膜トランジスタに用いられる非単結晶半導体層は半導体層中に多量の結晶粒界等を含んで

立されていない。

一方、半導体層自身の持つ移動度( $\mu$ )を大きくする方法としては、TFTに使用する半導体層として単結晶半導体または多結晶半導体を採用したり、TFTの活性層部分を単結晶半導体または多結晶半導体とすることが行われている。

前者の方法では、半導体層を形成する際の温度を高くする必要がある。一方、後者の方法は部分的に温度を高くしてTFTの活性層部分を単結晶半導体または多結晶半導体とするものであるが、いずれの方法においても若干高い温度が必要である。

また、薄膜トランジスタにおいては、チャネル部分を流れる電流量が薄膜トランジスタを構成しているソース、ドレイン領域に使用する材料に左右される。そのため、ソース、ドレイン領域の材料を多結晶化させたり、ソース、ドレイン領域とチャネル部分との電気的接続を良好にするための処理を行なう必要がある。

例えば

おり、これらが原因で単結晶の半導体に比べてキャリアの移動度が非常に小さく、上式より判るようにトランジスタの応答速度が非常に遅いという問題が発生していた。特にアモルファスシリコン半導体を用いた時その移動度はだいたい0.1~1( $\text{cm}^2/\text{V} \cdot \text{Sec}$ )程度で、ほとんどTFTとして動作しない程度のものであった。

このような問題を解決するには上式より明らかにチャネル長を短くすることと、キャリア移動度を大きくすることが知られ、種々の改良が行われている。

特にチャネル長を短くすると、その2乗で応答速度に影響するので非常に有効な手段である。

しかしながらTFTの特徴である大面積基板上に素子を形成する場合、フォトリソグラフィ技術を用いて、ソース、ドレイン間の間隔(だいたいのチャネル長に対応する)を $10\mu\text{m}$ 以下にすることは、その加工精度、歩留まり、生産コスト等の面から明らかに困難であり、TFTのチャネル長を短くする手段として現在のところ有効な手段は確

①ソース、ドレイン領域に多結晶ポリシリコンを形成するためには、CVD法で膜形成し、その際500℃以上の温度が必要となる。

②ソース、ドレイン領域とチャネル部分との電気的接続を良好とするために、ソース、ドレイン領域の半導体層を形成後ソース、ドレイン領域にNまたはP型の不純物をイオン注入した後、活性化のために500℃~800℃の温度範囲で熱処理をする必要がある。

このように、良好な薄膜トランジスタを作製するためには、高い熱処理工程が必要であり、完全な低温プロセスで薄膜トランジスタを作製することは困難であった。

さらにまたソース、ドレイン領域とチャネル部分との電気的接続を良好にするために使用されるイオン注入技術は、大面積にわたって、均一性よく不純物をドーピングすることは極めて困難であり、今後大型の液晶ディスプレイ等に発展する際に大きな障害となる。

「発明の目的」

本発明は、低温プロセスで薄膜トランジスタを作製する方法を提供するものであります。

「発明の構成」

本発明は、前述のような問題点を解決するものであり、低温プロセスで薄膜トランジスタを作製するものであります。

本発明構成は、薄膜トランジスタを作製する際に、チャネル部分の結晶化のためにエキシマレーザ光を照射する工程と、ソース、ドレイン領域に別工程でエキシマレーザ光を照射して電気的特性を改善する工程を有するものであります。

この2ステップのレーザアニール工程により、従来必要であった高温の熱処理の必要のない低温プロセスにより、薄膜トランジスタを提供するものであります。

以下に実施例を示し本発明を説明します。

「実施例1」

この実施例1に対応するプレーナ型薄膜トランジスタの概略的な作製工程を第1図に示す。

まず、ガラス基板(1)としてソーダガラスを用い、

この後この活性層を多結晶化する為にエキシマレーザを使用して、この活性層に対してレーザアニール処理を施した。  
その条件を以下に示す。

レーザエネルギー密度	200mJ/cm <sup>2</sup>
照射ショット数	50回

この上に低抵抗非単結晶半導体層としてN型の導電性を有する非単結晶珪素膜(4)を形成する。この時の作成条件は以下のとおりであった。

基板温度	300℃
反応圧力	0.05 Torr
RFパワー (13.56MHz)	200 W
使用ガス	SiH <sub>4</sub> + PH <sub>3</sub> + H <sub>2</sub>
膜厚	50nm

このN型の非単結晶珪素膜(4)は、その形成時にH<sub>2</sub>ガスを多量に導入しRFパワーを高くして、微結晶化させて電気抵抗を下げたものを使用してもよい。

このソーダガラス(1)上全面に公知のスパッタリング法により下地保護膜として酸化珪素(2)を300nmの厚さに以下の条件で形成した。

スパッタガス	酸素100%
反応圧力	0.5Pa
RFパワー	400W
基板温度	150℃
成膜速度	5nm/min

次にこれらの上にI型の非単結晶珪素半導体膜(3)を公知のスパッタリング法で約100nmの厚さに形成した。その作成したその作製条件を以下に示す。

基板温度	100℃
反応圧力	0.5 Pa
RFパワー (13.56MHz)	300 W

その後所定のエッチング処理を行い第1図(A)に示す状態を得た。

次に公知のフォトリソグラフィ技術を用いて、この非単結晶珪素膜(4)をソース、ドレイン領域(4)を残しチャネル形成領域(7)をパターニングし、第1図(B)に示す状態を得た。

次にエキシマレーザ光を照射して、このソース、ドレイン領域のN型の非単結晶半導体(4)の活性化を行った。

この時の条件を以下に示す。

レーザエネルギー	100mJ/cm <sup>2</sup>
照射回数	50回

この後、チャネル形成領域(7)の活性化の為水素プラズマ処理を下記の条件で行いチャネル領域の活性化を行った。

基板温度	250℃
RFパワー	100 W
処理時間	60分

この後、先の下地保護膜(2)と同じ材料でかつ同

じ形成方法にてゲート絶縁膜(5)を100nmの厚みに形成後ソース、ドレイン領域のコンタクトホールを公知のエッチング法により形成し、その上にアルミニウム電極(6)を形成して、第1図(C)の状態を得薄膜トランジスタを完成した。

N型非単結晶半導体層(4)は、照射するエキシマレーザ光のパワー密度に対応して、その導電率が変化する。その結果を第3図に示します。

第3図において、導電率はエネルギー密度にともなって、増加してゆくが150mJ/cm<sup>2</sup>をピークとして以後は導電率は下がっている。これはレーザ光のエネルギー密度が増すに従い、N型半導体層(4)が飛んで行き、膜(4)が薄くなってゆくためである。

このため、照射するエネルギーは150mJ/cm<sup>2</sup>以下とする必要があった。好ましくは、100mJ/cm<sup>2</sup>～150mJ/cm<sup>2</sup>の範囲のレーザエネルギー照射であれば、80～200S/cmの導電率が得られる。

又、N型の半導体層(4)の活性化の際に照射するレーザ光により、その下に存在するI型の半導体

層(3)に損傷を与えてその電気的特性が変化する。具体的には、TFT素子においてゲート電圧をゼロVにした時、ソース、ドレイン間の抵抗値が変化し、OFF電流が増す。

その様子と照射するレーザ光エネルギーとの関係を第4図に示す。

第4図において、たて軸はソース、ドレイン間に流れる電流値、よこ軸はソース、ドレイン間に加える電圧値を示し、(40)、(41)、(42)、(43)の曲線はそれぞれレーザ光照射なしの場合、レーザ光の照射エネルギーが100mJ、150mJ、200mJの場合に相当する。

この図よりソース、ドレイン間の活性化の為に照射するレーザ光のエネルギーが150mJ/cm<sup>2</sup>以下であれば、下のI型の半導体層(3)に損傷を与えないことが判明した。

また、I型の半導体層(3)の多結晶化工程とソース、ドレイン領域の活性化工程とを同一のレーザ照射工程で行なうことが考えられるが、結晶化に適したレーザエネルギー密度と活性化に適したレ

ーザエネルギー密度とは条件が異なる。その為、結晶化条件でエネルギーを設定して、レーザ光を照射すると前述の如くN型半導体層が飛んで行き、なくなってしまう。又、活性化条件に合わせてレーザ光照射するとI型半導体層(3)の結晶化ができなくなる。そのため、別のレーザ光照射工程で作製を行なうことが重要となる。

本実施例の場合、N型半導体層(4)の活性化の後にゲート絶縁膜(5)の形成を行ったが、この順序は逆としてもよい。すなわちゲート絶縁膜(5)形成後に所定のパターンにエッチングを施し、その上でソース、ドレイン領域の活性化を行ってもよい。

この場合、下地のI型半導体(3)上にはゲート絶縁膜(5)が存在するのでレーザ光照射による損傷の程度が少なく、よりよい電気的特性を得ることができた。

#### 「効果」

本発明構成を採用することにより、低温プロセスにて高電気伝導率を持つソース、ドレイン領域を作成でき、寄生抵抗の影響が抑えられ、高性能、

高信頼性を持つ薄膜トランジスタを実現できた。

又、エキシマレーザでのアニール処理の為、表面層のみを加熱でき、基板への熱損傷がなく高密度の多層デバイス構造を実現することが可能となった。

さらに、高温の熱処理工程が存在しないので、基板中に存在する不純物の活性層への侵入が抑制され、電気特性の長期安定性の良い薄膜トランジスタを実現することができた。

本実施例の場合、ソース、ドレイン電極(6)の下にはゲート絶縁膜(5)、下地保護膜(2)が存在する。

これらは同じ材料、同じ形成方法により形成されているので薄膜トランジスタ作製工程における熱処理又は薄膜トランジスタ動作時の発熱によって発生するこれら膜の熱膨張に差がなく、その上部に存在するアルミニウム等の金属電極の断線又はピーリングを起こさず長期の信頼性に優れたものとなった。

#### 4. 図面の簡単な説明

第1図(A)～(C)は本発明の一実施例のTFTの

製造工程を示す概略図である。

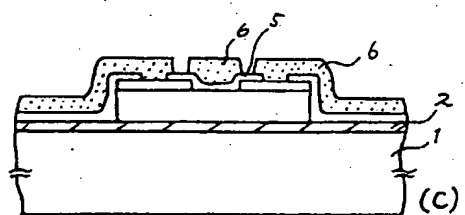
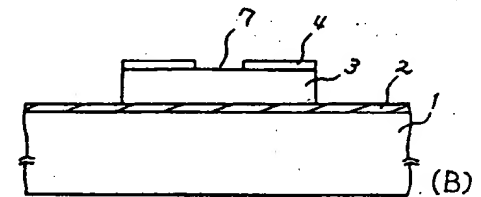
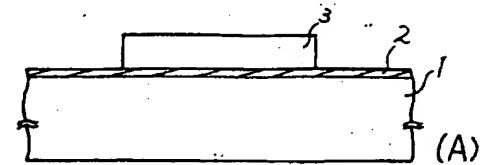
第2図は従来のIFIの断面構造を示す。

第3図はN型層の導電率とレーザパワー密度の関係を示す。

第4図は、 $I_s - V_s$ 特性のレーザパワー依存性を示す。

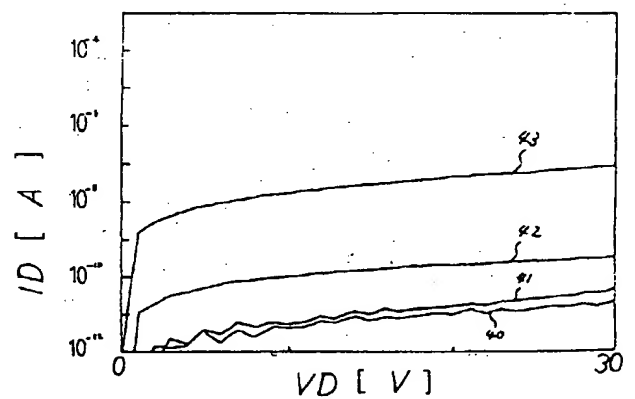
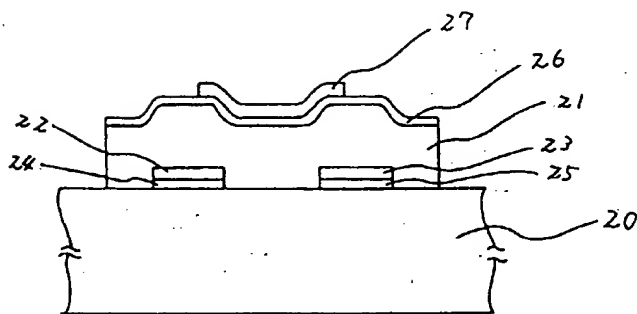
- 1・・・基板
- 2・・・下地保護膜
- 3・・・活性層
- 4・・・ソース、ドレイン領域
- 5・・・ゲート絶縁膜
- 6・・・ゲート並びにソース、ドレイン電極
- 7・・・チャネル形成領域

特許出願人  
株式会社半導体エネルギー研究所  
代表者 山 崎 舜



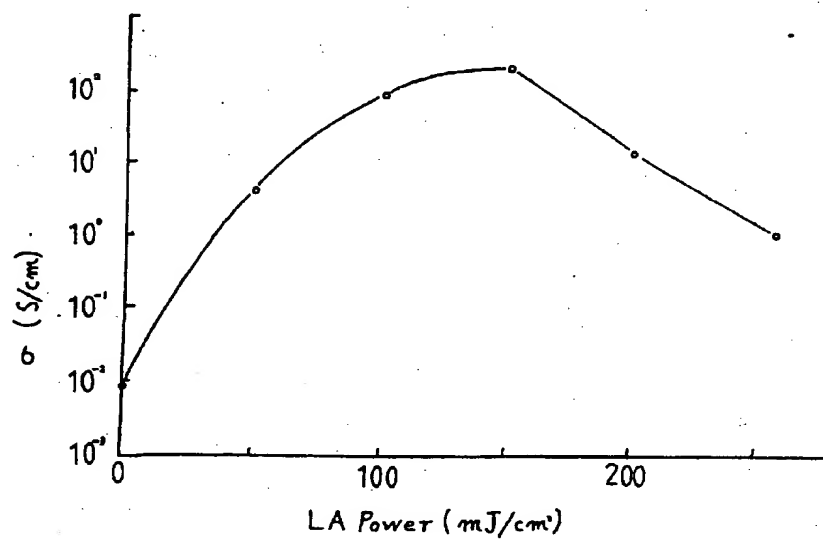
第 1 図

第 2 図



第 4 図





第 3 図